

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358105

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

H01L 21/304  
H01L 21/3065  
H01L 21/306  
H01L 21/3205

(21)Application number : 2000-176045

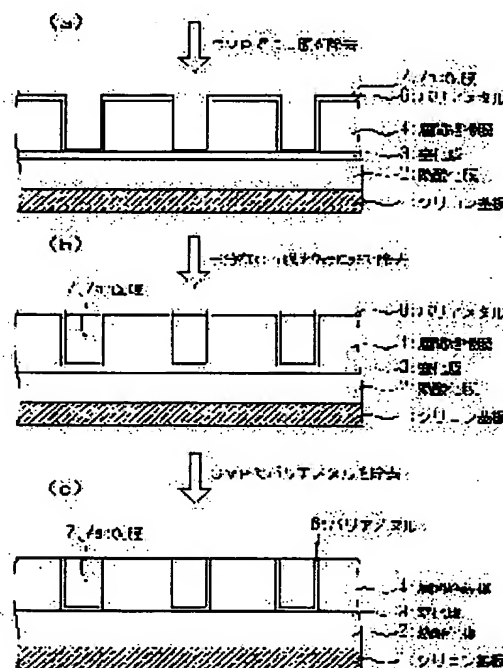
(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 12.06.2000

(72)Inventor : CHIBAHARA HIROYUKI  
IWASAKI MASANOBU**(54) FORMING METHOD OF EMBEDDED WIRING, CMP DEVICE, AND SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a method for forming embedded wiring of flat surface by preventing dishing at chemical-mechanical polishing, independently of layout, such as wiring width, density level of wiring or the like.

**SOLUTION:** The method includes a first process, where a channel for embedded wiring, is formed at a flat interlayer insulating film 4 formed on a silicon substrate 1, a second process where a barrier metal 6 and Cu films 7 and 7a which are to be a main wiring, a third process where an unwanted Cu film on the interlayer insulating film 4 is removed, with a thin skin left out, by a first chemical-mechanical polishing, a fourth process where only the pellicle- state Cu film is removed by etching until the barrier metal 6 is exposed, and a fifth process where an unwanted barrier metal is removed by a second chemical-mechanical polishing.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(11) 特許出願公開番号

特開2001-358105

(P2001-358105A)

(43) 公開日 平成13年12月26日(2001.12.26)

(S)IntCl'	識別記号	F I	テ-ゴ-ド' (参考)
H 01 L 21/304	6 2 2	H 01 L 21/304	6 2 2 X 5 F 0 0 4
			6 2 2 S 5 F 0 3 3
21/3005		21/302	E 5 F 0 4 3
21/306		21/306	M
21/3205		21/88	K
		審査請求 未請求	請求項の数13 O L (全 8 頁)

(21) 出願番号	特願2000-176945(P2000-176945)	(71) 出願人	000068013 三菱電機株式会社
(22) 出願日	平成12年6月12日(2000.6.12)	(72) 発明者	東京都千代田区丸の内二丁目2番3号 千葉原 宏幸 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
		(73) 発明者	岩崎 正修 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
		(74) 代理人	100082175 弁理士 高田 守 (外3名)

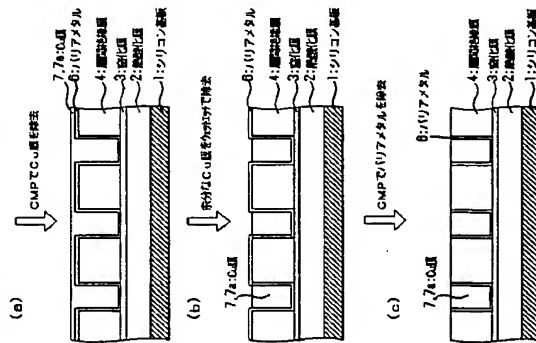
最終頁に続く

## (54) 【発明の名称】 埋め込み配線の形成方法およびCMP装置、並びに半導体装置およびその製造方法

(57) 【要約】

【課題】 程線幅・程線の密集度などといったレイアウトに関わり無く、化学機械研磨によるディッシングを防ぎ、平坦な表面の埋め込み程線の形成方法を得る。

**【解決手段】** シリコン基板 1 上に形成された平坦化層 2、  
開口絶縁膜 4 に型め込み配線用の溝を形成する第 1 の工程  
と、この溝にバリア金属 6 と主配線となる Cu 膜 7、  
Cu を形成する第 2 の工程と、開口絶縁膜 4 上の不要な  
Cu を薄く剥離した状態まで、1 回目の化学機械研磨に  
よって除去する第 3 の工程と、薄皮の状態の Cu 膜のみ  
を残す、バリア金属 6 が露出するまでエッチングにより除  
去する第 4 の工程と、必要なバリア金属を 2 回目の化  
学機械研磨により除去する第 5 の工程とを有する。



去して埋め込み配線を形成するものである。

【0003】また、別な従来例として、特開平第2000-12543号公報や特開平9-32639号公報に示されたものがある。この従来例では、CMPによる配線・ブラッグ形成を2ステップに分け、1ステップ目では研磨速度の大きい条件で、対象とする金属膜をあらかじめ除去し、2ステップ目では研磨速度を小さくした条件で処理し、研磨後の配線・ブラッグの凹凸が小さくなるようにするものである。

【発明が解決しようとする課題】ところで、上述のような従来例の埋め込み配線の形成方法では、以下のような問題点があった。まず、上記特開平6-120219号公報による方法は、埋め込み配線形成の基本フローではあるが、現実には図8および図9に示すように、CMPによるCu配線のディッシングが発生するという問題点があった。

【0004】即ち、図8はCu膜の研磨速度は大きい、バリア金属の研磨速度は小さい場合、図9はCu膜とバリア金属の研磨速度は大きい場合、酸化膜の研磨速度が小さい場合のそれぞれディッシングの発生を示している。これは、CMPに用いるスラリー（研磨剤）が、Cu膜は早く研磨するが、バリア金属あるいは酸化膜は研磨ににくいように成分を制御しているため、Cu膜のみが選択的に研磨され、配線が凹んでしまっている。この凹みはウエハと作用する研磨布の変形によってあらわれるが、配線幅の大きい箇所ほど研磨布の変形量が大きくなるためディッシング量も大きくなる。

【0005】また、上記特開第2000-12543号公報および特開平9-32639号公報による方法、実質的に上記従来例の問題点を解決すべく、CMPによる配線・ブラッグ形成を2ステップに分けて行うものであり、スラリーを工夫して、研磨後の配線・ブラッグを軽減させることはできるが、CMPという技術を用いる以上、若干の金属部分の凹凸は避けられないという問題点があった。

【0006】この発明は、配線幅・配線の密集度などといったレイアウトに関わりなく、CMPによるディッシングを防止し、平坦な表面を有する埋め込み配線の形成方法およびCMP装置、並びに半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】請求項1の発明に係る埋め込み配線の形成方法は、半導体基板上に形成された平坦な層間絶縁膜に埋め込み配線用の溝を形成する第1の工程と、上記溝にバリア金属と主配線となるCu膜を形成する第2の工程と、上記層間絶縁膜上の不要なCu膜を剥離した状態で、1回目の化学機械研磨により除去する第3の工程と、上記剥離の状態のCu膜のみを、上記バリア金属が露出するまでエッチングにより

溝を埋めているバリア金属と主配線となるCu膜の内、該Cu膜を剥離する状態まで研磨する第1の研磨ユニットと、上記Cu膜を必要量のだけ洗浄する第1の洗浄ユニットと、上記バリア金属の不要なものを除去する第2の研磨ユニットと、上記半導体基板上に付着した研磨剤を洗浄する第2の洗浄ユニットとを備えたものである。

【0017】請求項11の発明に係るCMP装置は、請求項10の発明において、上記半導体基板のウエハ表面の変化を検出し、上記バリア金属の露出でエッチングの終点検出を行う光検出手段を備えたものである。

【0018】請求項12の発明に係る半導体装置、半導体基板上の平坦な層間絶縁膜に設けられた埋め込み配線の層に形成され、バリア金属と主配線となるCu膜を有し、表面が平坦な埋め込み配線を備えたものである。

【0019】請求項13の発明に係る半導体装置の製造方法は、半導体基板上に形成された平坦な層間絶縁膜に埋め込み配線用の溝を形成する第1の工程と、上記溝にバリア金属と主配線となるCu膜を形成する第2の工程と、上記層間絶縁膜上の不要なCu膜を剥離した状態で、1回目の化学機械研磨により除去する第3の工程と、上記剥離の状態のCu膜のみを、上記バリア金属が露出するまでエッチングにより除去する第4の工程と、不要なバリア金属を2回目の化学機械研磨により除去する第5の工程とを用いて埋め込み配線を形成する処理工程を少なくとも含むものである。

【0020】  
【発明の実施の形態】以下、この発明の実施の形態を参照して説明する。

実施の形態1、図1および図2は、この発明の実施の形態1を示す工程図である。この図1および図2を参照しながら、ディッシングを抑制した埋め込み配線の形成方法について説明する。なお、ここでは、埋め込み配線下の構造については省略してある。まず、図1(a)に示すように、半導体基板としてのシリコン基板1上に、酸化膜2を300nm、窒化膜3を60nm、および層間絶縁膜4を400nm成膜する。次に、図1(b)に示すように、層間絶縁膜4をフォトリソグラフィ工程・異方性エッチング工程で加工し、埋め込み配線用の溝を形成する。このときの窒化膜3は、層間絶縁膜4のエッチングストッパ層として用いる。

【0021】次に、図1(c)に示すように、そのパターン上に、スパッタ法にて、バリア金属6となるTa-N（窒化タンタル）を35nmと、メッキのシード層即ちCu膜（電解メッキの開始時に種となるCu薄膜）7を200nm成膜する。なお、バリア金属6の材料としてはTa-Nの代わりにTa（タンタル）を用いてもよい。そして電解メッキ法を用いて、シリコン基板1上にCu膜7aの成膜を600nm行う。

【0022】次に、図2(a)に示すように、シリコン基板1上のCu膜7および7aをCMP法（化学機械研磨法）によって研磨し、元膜厚の90%程度を除去した時点で研磨を停止する。シリコン基板1の表面全体にはCu膜7および7aが残されており、まだバリア金属6が露出していないため、ディッシングは発生しておらず平坦な表面が得られる。

【0023】次に、図2(b)に示すように、このシリコン基板1を、水素イオン濃度がpH6以下で、バリア金属6がエッチングされにくい酸性溶液の薬液例えば濃度が5%以下の硫酸や硫酸・過酸化水素等を用いてエッチングする。Ta-Nは硫酸では非常にエッチングされにくいので、Cu膜のみが選択的にエッチングされる。エッチングが進み、ウエハ全体でバリア金属6が露出した時点でエッチングを停止する。

【0024】そして、図2(c)に示すように、再びCMPを用いて、シリコン基板1上の不要なバリア金属6を全て除去し、平坦な埋め込み配線を形成する。このときに用いるスラリー（研磨剤）は、Cu膜に対するTa-Nの研磨速度の比率が、1以上（Ta-Nの方が研磨されやすい）であるものを用いる。

【0025】上記図2(a)の時点から、Cu膜のみを選択的に除去する方法については、Cu膜のエッチングによるウェットエッチの他に、アンモニアガスの膜にCu膜との反応性の高いガスを用いた気相エッチング、A rイオンを用いた物理的なスパッタエッチング等も考えられる。気相エッチングは、Taの発光スペクトルを検出することによってエッチングの終点（エンドポイント）をかけることもできる。なお、上記の説明はシングル埋め込みについてであるが、デュアル埋め込みの形成においても同様に形成できる。

【0026】図3は、実施の形態1で用いられる種々の研磨ユニットと洗浄ユニットを持つCMP装置を示す構成図である。図において、8はウエハセクタ、9、10は回転定盤、11、12は研磨ヘッド、13は搬送ロボット、14、14a、14bは洗浄ユニットである。

【0027】また、図4は、図3における研磨ヘッド11即ち研磨ヘッド11と回転定盤9、或いは研磨ヘッド12と回転定盤10の部分の具体例を示す概略図である。図において、15は研磨ヘッド、16はノズル、17はスラリー、18は研磨布、19は回転定盤である。

【0028】また、図5は、研磨後のウエハを洗浄する洗浄ユニット即ち図3における洗浄ユニット14、14a、14bの具体例を示す概略図である。図において、20はスポンジブラシ、21はシリコン基板、22は薬液ノズル、23は純水ノズルである。この様なCMP装置を用いた場合、洗浄ユニット内の一つにCu膜をエッチングする薬液を入れることにより、CMP装置内で上記全ての処理を行うことが可能となる。

【0029】図6は、上記処理を行う場合のウエハの流

れを概略的に図示したものである。先ず、1つの研磨ユニットで上記図2(a)の形状になるようにCu膜を研磨する(図6(a))。次に、洗浄ユニットの一つでCu膜を必要と量だけウェットエッチングして、上記図2(b)の形状を作る。2番目の研磨ユニットで不要なバリアメタルを除去し、上記図2(c)の形状を作る。つまり、この2番目の研磨ユニットにおける2回目の化学機械研磨は、シリコン基板21の表面からバリアメタルの厚さ分だけCu膜がリセスするまでエッチングを行う。バリアメタルのみが選択的に研磨される研磨剤または研磨条件を用いて行う。後はウェハに付着したスラリーを流す洗浄ユニットで洗浄し、ウェハをカセットに戻す。

【0030】なお、2回目の化学機械研磨は、Cu膜と層間絶縁膜との研磨速度が同じで、バリアメタルの研磨速度のみを両者以上に増大させた研磨剤または研磨条件を用いて行ってもよい。

【0031】図7は、Cu膜をウェットエッチングする際に、バリアメタルが露出することを検出するための光学式センサの設置例を示す図である。図において、24、24aは光学検出手段としての光学式センサ、25はシリコン基板、26は薬液ノズルである。シリコン基板25上のウェハ表面に光学式センサ24から光を照射し、その反射光を光学式センサ24aで受光して表面の膜厚の変化を読み取り検出を行う。この様なシステムを備えたCMP装置を用いることにより、一つのCMP装置内で埋め込み配線の形成が可能となる。

【0032】なお、上記実施の形態では、この発明を埋め込み配線を形成する場合について説明したが、勿論この埋め込み配線を含む半導体装置およびその製造の場合にも同様に適用できることは言うまでもない。

【0033】【発明の効果】以上のように、請求項1の発明によれば、半導体基板上に形成された平坦な層間絶縁膜に埋め込み配線の層を形成する第1の工程と、上記層にバリアメタルと主配線となるCu膜を形成する第2の工程と、上記層間絶縁膜上の不要なCu膜を薄皮剥した状態まで、1回目の化学機械研磨により除去する第3の工程と、上記薄皮剥の状態のCu膜のみを、上記バリアメタルが露出するまでエッチングにより除去する第4の工程と、不要なバリアメタルを2回目の化学機械研磨により除去する第5の工程とを有するので、配線・配線の密集度などといったレイアウトに関わり無く、化学機械研磨によるディッシングを防止し、平坦な表面の埋め込み配線が得られるという効果がある。

【0034】また、請求項2の発明によれば、上記バリアメタルがTaまたはTaNを含む材料であり、かつ上記Cu膜のエッチングは、水素イオン濃度がpH6以下で、上記バリアメタルがエッチングされにくい酸性溶液の薬液を用いて行われるので、薄皮剥の状態のCu膜の

を確実に除去できるという効果がある。

【0035】また、請求項3の発明によれば、上記バリアメタルがTaまたはTaNを含む材料であり、かつ上記Cu膜のエッチングは、上記Cu膜と化学反応が活性なガスで、上記バリアメタルがエッチングされにくいガスを用いた気相エッチングであるので、薄皮剥の状態のCu膜のみを確実に除去できるという効果がある。

【0036】また、請求項4の発明によれば、上記Cu膜のエッチングをCMP装置内の洗浄ユニット内で行うことにより、上記1回目の化学機械研磨(Cu膜研磨)から、上記2回目の化学機械研磨(バリアメタル研磨)終了まで、一台のCMP装置内でクローズさせるので、1台のCMP装置内で全ての処理を行うことが可能になるという効果がある。

【0037】また、請求項5の発明によれば、上記Cu膜のエッチングの際に、上記半導体基板のウェハ表面の変化を光検出手段で検知し、上記バリアメタルの露出でエッチングのエンドポイントとなるという効果がある。

【0038】また、請求項6の発明によれば、上記Taの発光スペクトルを検出することにより、上記バリアメタルの露出でエッチングのエンドポイントを検出するので、精度の良い埋め込み配線の形成が可能になるという効果がある。

【0039】また、請求項7の発明によれば、A-Eイオンによる化学スバッチエッチを用いて、上記薄皮剥のCu膜を除去するので、薄皮剥の状態のCu膜を確実に除去できるという効果がある。

【0040】また、請求項8の発明によれば、上記2回目の化学機械研磨は、上記半導体基板の表面から上記バリアメタルの厚さ分だけ上記Cu膜がリセスするまでエッチングを行い、上記バリアメタルのみが選択的に研磨される研磨剤または研磨条件を用いて行うので、埋め込み配線の形成の効率化、装置の小型化に寄与できるという効果がある。

【0041】また、請求項9の発明によれば、上記2回目の化学機械研磨は、上記Cu膜と上記層間絶縁膜との研磨速度が同じで、上記バリアメタルの研磨速度のみを両者以上に増大させた研磨剤または研磨条件を用いて行うので、埋め込み配線の形成の効率化、装置の小型化に寄与できるという効果がある。

【0042】さらに、請求項10の発明によれば、半導体基板上の層間絶縁膜に形成された埋め込み配線の層を埋めているバリアメタルと主配線となるCu膜の内、該Cu膜を薄皮剥する状態まで研磨する第1の研磨ユニットと、上記Cu膜を必要と量だけ洗浄する第1の洗浄ユニットと、上記バリアメタルの不要なものを除去する第2の研磨ユニットと、上記バリアメタルに付着した研磨剤を洗浄する第2の洗浄ユニットとを備えたので、1台のCMP装置内で全ての処理を行うことができるという効果がある。

果がある。

【0043】また、請求項11の発明によれば、上記半導体基板のウェハ表面の変化を検知し、上記バリアメタルの露出でエッチングの終点検出手段を備えたので、精度の良い埋め込み配線の形成に寄与できるという効果がある。

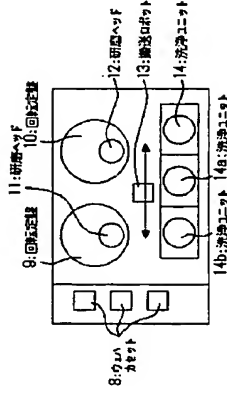
【0044】また、請求項12の発明によれば、半導体基板上の平坦な層間絶縁膜に設けられた埋め込み配線の層に形成され、バリアメタルと主配線となるCu膜を有し、表面が平坦な埋め込み配線を備えたので、品質の優れた半導体装置が得られるという効果がある。

【0045】また、請求項13の発明によれば、半導体基板上に形成された平坦な層間絶縁膜に埋め込み配線用の主配線となるCu膜を形成する第2の工程と、上記層間絶縁膜上の不要なCu膜を薄皮剥した状態まで、1回目の化学機械研磨により除去する第3の工程と、上記薄皮剥の状態のCu膜のみを、上記バリアメタルが露出するまでエッチングにより除去する第4の工程と、不要なバリアメタルを2回目の化学機械研磨により除去する第5の工程とを用いて埋め込み配線を形成する処理工程を少なくとも含むので、平坦な表面の埋め込み配線を有する品質の優れた半導体装置が得られ、製造の歩留まりの向上に寄与できるという効果がある。

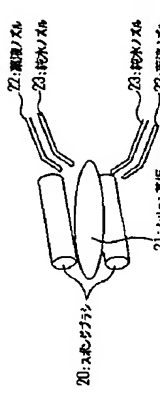
【図面の簡単な説明】

【図1】 この発明の実施の形態1による埋め込み配線

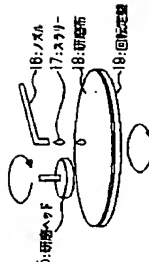
【図3】



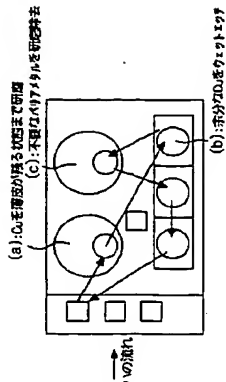
【図5】



【図4】



【図6】



の形成方法を示す工程図である。

【図2】 この発明の実施の形態1による埋め込み配線の形成方法を示す工程図である。

【図3】 この発明の実施の形態1における複数の研磨ユニットと洗浄ユニットを持つCMP装置を示す構成図である。

【図4】 図3の研磨ユニットの具体例を示す概略図である。

【図5】 図3の洗浄ユニットの具体例を示す概略図である。

【図6】 図1および図2の処理を行う場合のウェハの流れを概略的に示す図である。

【図7】 この発明の実施の形態1におけるバリアメタルが露出することを検出するための光学式センサの設置例を示す図である。

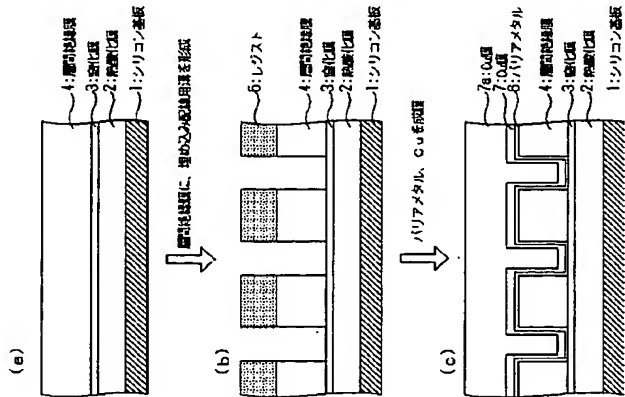
【図8】 従来例においてディッシングが発生している状態を示す図である。

【図9】 従来例においてディッシングが発生している状態を示す図である。

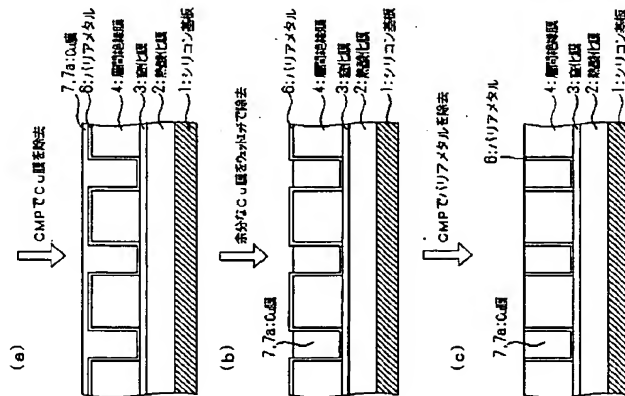
【符号の説明】

1, 21, 25 シリコン基板、4 層間絶縁膜、6 バリアメタル、7 Cu膜、9, 10, 19 回転盤、11, 12, 15 研磨ヘッド、14, 14a, 14b 洗浄ユニット、17 スラリー(研磨剤)、24, 24a 光学式センサ。

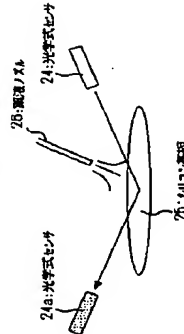
【図1】



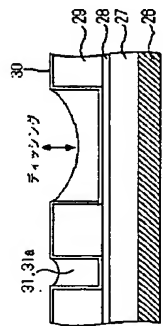
【図2】



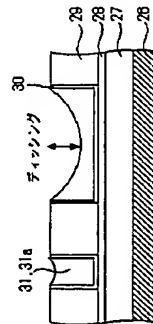
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5F004 C802 DA00 DA23 DB08 FA08  
5F003 HH11 HH21 HH32 MM01 MM02  
MM12 MM13 PP15 PP27 PP33  
QQ11 QQ14 QQ16 QQ19 QQ25  
QQ48 QQ50 RR04 RR06 XX01  
5F043 AA27 BB18 DD15 DD16 DD25  
FF07